

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284536

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 27/04

H01L 21/822

H01L 21/82

H01L 21/768

(21)Application number : 2000-097532

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 31.03.2000

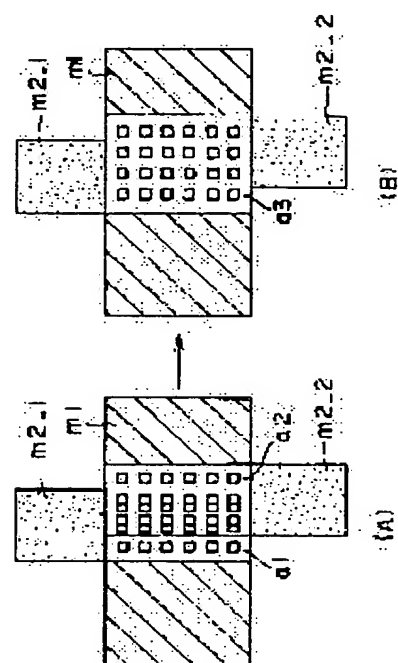
(72)Inventor : MOGI DAIKI

(54) METHOD OF DETERMINING VIA FORMING REGIONS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of determining via forming regions which reduces the TAT in a layout design.

SOLUTION: A semiconductor integrated circuit has a multilayer structure having a first and second layers. First via forming regions having first vias or via array for interconnecting a first specified wiring m1 of the first layer with a second specified wiring m2-1 of the second layer and second via forming regions having second vias or via array for interconnecting the first wiring of the first layer with a third specified wiring m2-2 different from the second wiring m2-1 of the second layer are determined. If the first and second via forming regions are separated with specified spacings or less or mutually overlaid, third via forming regions involving the first and second via forming regions are newly grown and determined as new regions in which vias or via array is formed, instead of the first and second via forming regions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Wiring of a certain 1st layer which constitutes the semiconductor integrated circuit which has multilayer structure. One beer which connects wiring of the 2nd different layer from this 1st layer, or two or more beer regularly located in a line. The 1st beer formation field in which the 1st beer or beer array which is the beer formation field determination method equipped with the above, and connects mutually predetermined wiring of the 1st of the 1st layer of the above and predetermined wiring of the 2nd of the 2nd layer of the above is formed, The 2nd beer formation field in which the 2nd beer or beer array which connects mutually the 3rd different predetermined wiring from this wiring of the 2nd of this wiring of the 1st of this 1st layer and this 2nd layer is formed is appointed. this — the 1st beer formation field — this — or [that the 2nd beer formation field separates at intervals of below a predetermined interval] — or, when lapping mutually The 3rd new beer formation field which includes the 2nd beer formation field is generated. this — the 1st beer formation field — and — this — this — the 1st beer formation field — and — this — it is characterized by replacing with the 2nd beer formation field and determining the 3rd generated beer formation field as a new field where beer or a beer array is formed in the interior

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the beer formation field determination method of determining the wiring field where the beer array which consists of beer of one beer which connects the wiring of a mutually different layer which constitute the semiconductor integrated circuit which has multilayer structure, or plurality regularly located in a line is formed in the interior.

[0002]

[Description of the Prior Art] Conventionally, the automatic-layout equipment which performs layout design of a semiconductor integrated circuit automatically is known, and arrangement and wiring of a cell are performed. Moreover, when a semiconductor integrated circuit becomes what has multilayer structure, the beer formation field in the wiring which connects wiring of a mutually different layer with this automatic-layout equipment and with which the beer array which consists of two or more beer regularly located in a line two-dimensional at the interval beforehand defined with the size defined beforehand is formed in the interior is determined.

[0003] However, with detailed-izing of a cell and wiring, or complication of a layout, with conventional automatic-layout equipment, it is difficult for it to be completely automatic and to perform all arrangement and wiring, after an automatic layout, the addition of wiring by the help is performed and, in many cases, a change etc. is made. Thus, if the addition of wiring by the help is performed and a change etc. is made, in verification (the last verification) performed to the culmination of this layout design by being automatic, it will become easy to produce the spacing error shown in the DRC (design rule check) error shown in drawing 1 , or drawing 2 .

[0004] Drawing 1 is drawing showing the beer formation field which produces a DRC error.

[0005] The wiring m1 which this drawing is drawing which looked at a part of layout pattern of a semiconductor integrated circuit with multilayer structure from the perpendicular direction to the field where a layer spreads, and is prolonged in this drawing longitudinal direction of a certain 1st layer, it is prolonged so that it may lap with wiring m1 from wiring m2_1 of the 2nd layer which is a layer which is prolonged so that it may lap with the wiring m1 from this drawing upper part, and which is different in the 1st layer, and this drawing lower part — similarly wiring m2_2 of the 2nd layer are shown Here, wiring m2_1 has the almost same width of face as wiring m2_2, rather than wiring m2_2, it is located a little in left-hand side, and wiring m2_1 and wiring m2_2 have lapped mutually in the form of this drawing which shifted to right and left on wiring m1.

[0006] It sees from a perpendicular direction to the field where a layer spreads, the 1st beer array which connects electrically the wiring m1 in a mutually different layer and wiring m2_1 is formed in the field with which wiring m2_1 and wiring m1 lap, and, below, the field in which this beer array is formed is called the 1st beer formation field a1. Moreover, the 2nd beer array which connects electrically the wiring m1 in a mutually different layer and wiring m2_2 is formed in the field with which wiring m2_2 and wiring m1 lap, and, below, the field in which this beer array is formed is called the 2nd beer formation field a2.

[0007] As mentioned above, wiring m2_1 and wiring m2_2 Since it laps mutually in the form where the 1st beer array on 2_wiring m1 and the 2nd beer array on 2_wiring m2 also shifted since it had lapped mutually in the form which shifted to right and left on wiring m1, The size of each beer becomes large in the portion with which these beer arrays lapped mutually, and the interval of beer tends to become

narrow. Thus, if what the size of each beer and the interval of beer were beforehand determined as differs, it will be the process which actually forms a beer array, and since formation of good beer is difficult, it will be the last verification of layout design, and such a beer array will be returned as a DRC error.

[0008] Drawing 2 is drawing showing the beer formation field which produces a spacing error.

[0009] Three wiring which shows this drawing to drawing 1, three same wiring m1, m2_1, and m2_2 are shown. However, wiring m2_1 of the 2nd layer and wiring m2_2 of the 2nd layer do not lap mutually among three wiring in the form which is shown in drawing 2 and which shifted to right and left on wiring m1 like drawing 1, but it has become what was mutually left across the small gap in between. It is in the state where the 1st beer formation field a1 and the 2nd beer formation field a2 were left mutually, and there were in connection with this.

[0010] Usually, it is requested that two wiring arranged in parallel should take the interval beyond a predetermined distance. however — if a beer array is formed — after all — wiring m2_1 and Wiring m — the 1st beer formation field a1 connected with wiring m2_1 since 2_2 is connected electrically, and the wiring m2_2 and 2nd beer formation field a2 which are connected — a wiring m1 top — only — **** — even if not separated, it may be connected satisfactory However, these beer formation fields have a possibility that it may be accidentally returned as spacing error that wiring approaches too much, with the automatic check in the last verification of layout design.

[0011]

[Problem(s) to be Solved by the Invention] Thus, in the last verification of layout design, if a DRC error and a spacing error arise in a beer array, all arrangement of the beer formation field of wiring in which the beer array leading to these errors is formed must be corrected by the handicraft, and it will lead to increase of TAT (Turn AroundTime) of layout design which is the time which layout design takes.

[0012] this invention aims at offering the beer formation field determination method of the wiring which shortens TAT of layout design in view of the above-mentioned situation.

[0013]

[Means for Solving the Problem] The beer formation field determination method of this invention of attaining the above-mentioned purpose The wiring of a certain 1st layer which constitutes the semiconductor integrated circuit which has multilayer structure, The beer array which consists of one beer or two or more beer regularly located in a line which connects wiring of the 2nd different layer from the 1st layer is formed in the interior. The 1st beer formation field in which the 1st beer or beer array which is the beer formation field determination method of determining the field of the direction of a breadth of a layer, and connects mutually predetermined wiring of the 1st of the 1st layer of the above and predetermined wiring of the 2nd of the 2nd layer of the above is formed, The 2nd beer formation field in which the 2nd beer or beer array which connects mutually the 3rd different predetermined wiring from the wiring of the 2nd of the wiring of the 1st of the 1st layer and its 2nd layer is formed is appointed. The 1st the beer formation field and 2nd beer formation field whether it separates at intervals of below a predetermined interval or when lapping mutually The 3rd new beer formation field which includes the 1st beer formation field and its 2nd beer formation field is generated. It is characterized by replacing with the 1st beer formation field and its 2nd beer formation field, and determining the 3rd generated beer formation field as a new field where beer or a beer array is formed in the interior.

[0014] If the beer formation field of the above 1st and the beer formation field of the above 2nd remain as it is as for this beer formation field determination method, it is the last verification of layout design. The DRC error with which the size of each beer and the interval of beer which are formed in these beer formation fields when these beer formation fields lap differ from what was defined beforehand, When it is in the physical relationship from which these beer formation fields serve as an error of the spacing error which separates only at a minute interval mutually Since it is the method of replacing with these beer formation fields and determining one new beer formation field according to the physical relationship of these beer formation fields, Generating of the above-mentioned error is suppressed and TAT of layout design which is the time which layout design takes is shortened by saving the time and effort of correction of a beer formation field.

[0015]

[The operation form of invention] Hereafter, the operation form of this invention is explained.

[0016] First, before explaining the beer formation field determination method of this invention, it has multilayer structure and each class explains briefly the semiconductor integrated circuit electrically joined with beer.

[0017] Drawing 3 is the outline block diagram of a semiconductor integrated circuit.

[0018] The semiconductor integrated circuit 100 shown in this drawing consists of two or more IO cells 101, two or more macro cells 102, the core section 103, and two or more power supply wiring (trunk) 104.

[0019] The IO cell 101 is a cell which takes charge of I/O of a semiconductor integrated circuit 100, and they are formed so that a semiconductor integrated circuit 100 may be surrounded. [two or more]

[0020] A macro cell 102 is a cell which is collected and has one function.

[0021] Two or more cells which are not illustrated accumulate the core section 103 on this drawing inside, and wiring is performed to those cells.

[0022] The power supply wiring 104 is basic wiring for supplying a power supply to the above-mentioned IO cell 101, a macro cell 102, and the cell of the core section 103 interior. This semiconductor integrated circuit 100 has multilayer structure, as mentioned above, and two kinds of wiring of the wiring m2 of the 2nd different layer from the wiring m1 of a certain 1st layer and this 1st layer is shown in this drawing as this power supply wiring 104. Although these wiring m1 and wiring m2 all have a thing with the potential VDD of a power supply, and the potential VSS showing a gland, they have two kinds. Below, two wiring which is the same layers and has the same potential is called wiring same type.

[0023] Here, it is this drawing and a beer array is formed in the field A1 grade with which the wiring m1 with the same potential and wiring m2 lap. Moreover, a beer array is not only formed to power supply wiring, but is formed to wiring incore etc.

[0024] Drawing 4 is the flow chart of the beer formation field determination by the beer formation field determination method of this operation form.

[0025] At the start time, positioning of the power supply wiring 104 which various kinds of cells arrange and mentioned above, or wiring of the core section 103 interior is performed by the automatic-layout equipment mentioned above. In addition, usually, while will be rich a side and while facing across the field is independently positioned by the side so that one of two wiring which crosses the field in which a beer array like the wiring m2 passing through the above-mentioned field A1 is formed may be illustrated to drawing 1 . Below, it explains with reference to the example shown in this drawing 1 .

[0026] At Step S1, a beer array is formed in two or more fields predetermined [of two or more fields with which wiring m1 and wiring m2 lap] by automatic-layout equipment. For example, in the example shown in drawing 1 , the field with which the field with which it sees from a perpendicular direction to the field where a layer spreads, and wiring m2_1 and wiring m1 lap turns into the 1st beer formation field a1 in which the 1st beer array is formed, and wiring m2_2 and wiring m1 lap is the 2nd beer formation field a2 in which the 2nd beer array is formed. These beer formation fields are automatically decided according to the position of wiring m2_1 or wiring m2_2. Next, it progresses to Step S2.

[0027] At Step S2, wiring, and an addition/deletion of beer are performed by the help to the wiring and beer which were set up by automatic-layout equipment by this step S1. The beer formation field formed at this time is the same as the case of Step S1. Next, it progresses to Step S3 – Step S5.

[0028] At Step S3 – Step S5, it is this type of each beer formation field of all set up at Step S1 – Step S2, i.e., it is in the same layer mutually, and mutually, to all the combination of two beer formation fields of the same potential, as shown below, verification of physical relationship is performed.

[0029] The relative physical relationship of two beer formation fields is prescribed to be shown in drawing 5 .

[0030] Drawing 5 is drawing showing the meaning showing the relative physical relationship of two beer formation fields of a variable.

[0031] In this drawing, a longitudinal direction is made into the direction of a x axis, and let lengthwise be y shaft orientations. Two rectangles are shown in this drawing, any rectangle has the side prolonged in the side and y shaft orientations which are prolonged in the direction of a x axis, and a beer formation field is expressed. One of two beer formation fields expressed with these rectangles is

prescribed by lateral length $L1x$ and lengthwise length $L1y$, and another beer formation field is prescribed by lateral length $L2x$ and lengthwise length $L2y$. Moreover, each center of these beer formation fields is defined by the intersection of the rectangular diagonal line showing a beer formation field, and the relative position of these beer formation fields is prescribed by the lateral distance Dx of these centers, and the lengthwise distance Dy .

[0032] At Step S3 of Step S3 – Step S5, the above-mentioned length $L1x$, $L2x$, $L1y$, $L2y$, and the above-mentioned distance Dx and Dy are acquired to all the combination of two beer formation fields of this type in all the beer formation fields set up at Step S1 – Step S2. Next, it progresses to Step S4.

[0033] At Step S4, the distance (spacing value Dz) from which two beer formation fields in class doubling of all the combination of two beer formation fields of this type acquired at Step S3 were separated first is calculated. This spacing value Dz is calculated by length $L1x$, $L2x$, $L1y$, $L2y$, and Distance Dx and Dy using a division, when as follows.

[0034] The relative physical relationship of two beer formation fields is classified into four kinds of physical relationship shown in drawing 6 – drawing 9.

[0035] Drawing 6 is drawing showing the 1st physical relationship of two beer formation fields, drawing 7 is drawing showing the 2nd physical relationship of two beer formation fields, drawing 8 is drawing showing the 3rd physical relationship of two beer formation fields, and drawing 9 is drawing showing the 4th physical relationship of two beer formation fields.

[0036] Also in drawing 6 – drawing 9, like drawing 5, each makes a longitudinal direction the direction of a x axis, and let lengthwise be y shaft orientations. Two rectangles showing a beer formation field which have the side prolonged like drawing 5 in the side and y shaft orientations which are all prolonged in the direction of a x axis also in each drawing of drawing 6 – drawing 9 are shown.

[0037] Two beer formation fields in the case of filling the relation between $Dx > (L1x + L2x)/2$, and $Dy > (L1y + L2y)/2$ are shown in drawing 6. The distance of the peaks with which two beer formation fields which fill this relation are mutually left in the direction of slant in this drawing and which these two beer formation fields face expresses the spacing value Dz of these two beer formation fields. The spacing value Dz in this case is $Dz = \sqrt{\{Dx - (L1x + L2x)/2\}^2 + \{Dy - (L1y + L2y)/2\}^2}$. It becomes.

[0038] Two beer formation fields in the case of filling the relation between $Dx > (L1x + L2x)/2$, and $Dy \leq (L1y + L2y)/2$ are shown in drawing 7. The distance of the direction of a x axis of the boundaries prolonged in y shaft orientations with which two beer formation fields which fill this relation are mutually left to a longitudinal direction in this drawing, and which these two beer formation fields face expresses the spacing value Dz of these two beer formation fields. The spacing value Dz in this case is set to $Dz = Dx - (L1x + L2x)/2$.

[0039] Two beer formation fields in the case of filling the relation between $Dx \leq (L1x + L2x)/2$, and $Dy > (L1y + L2y)/2$ are shown in drawing 8. The distance of y shaft orientations of the boundaries prolonged in the direction of a x axis in which two beer formation fields which fill this relation are mutually left in the vertical direction in this drawing, and these two beer formation fields face each other expresses the spacing value Dz of these two beer formation fields. The spacing value Dz in this case is set to $Dz = Dy - (L1y + L2y)/2$.

[0040] Two beer formation fields in the case of filling the relation between $Dx < (L1x + L2x)/2$, and $Dy < (L1y + L2y)/2$ are shown in drawing 9. Two beer formation fields which fill this relation overlap mutually in this drawing, and the spacing value Dz of these two beer formation fields in this case is set to 0. The spacing value Dz is calculated as mentioned above.

[0041] Next, based on the spacing value Dz calculated in this way, it judges whether the combination of two beer formation fields with the spacing value Dz is an error. The spacing value Dz is $Dz < Dcr$. (the Dcr : minimum spacing value)

If it is *****, the combination will be considered as an error. Thus, when the spacing value Dz is small, it is for the DRC error and spacing error which two beer fields lapped mutually, or were mentioned above since there was no deer detached building only mutually to arise. Such a judgment is performed to all the combination of all the beer formation fields on a circuit. Next, it progresses to Step S5.

[0042] At Step S5, each one rectangle-like beer formation field of the minimum size which includes the two beer formation fields for two beer formation fields of each of those combination to all the

combination of the beer formation field considered as the error, for example at Step S4 is generated. And it replaces with the two above-mentioned beer formation fields, and one beer or a beer array determines one generated beer formation field as a new beer formation field formed in the interior.

[0043] An error is removed as by transposing to the new beer formation field determined in this way shows two beer formation fields considered as the error by step S4 to drawing 10 – drawing 12 .

[0044] Drawing 10 is drawing showing an example of signs that a DRC error is removed.

[0045] Drawing 10 (A) is the same view as drawing 1 , and is drawing showing signs that a DRC error takes place. Two beer formation fields a1 and a2 which are shown in this drawing and with which it lapped mutually are transposed to one beer formation field a3 which includes these two beer formation fields, as shown in drawing 10 (B).

[0046] Drawing 11 is drawing showing an example of signs that a DRC error is removed.

[0047] The width of face of drawing 11 (A) of wiring m2_1 which prolongs and laps from a top to wiring m1 compared with drawing 1 is larger than the width of face of wiring m2_2 which prolong and lap from the bottom to wiring m1. In this case, the 1st beer formation field a1 in which the 1st beer array which connects electrically wiring m2_1 and wiring m1 of wiring m2_1 is formed The 2nd beer formation field a2 in which the 2nd beer array which connects electrically wiring m2_2 and wiring m1 of wiring m2_2 is formed is included completely, and the DRC error has arisen in the portion with which the 1st beer array and the 2nd beer array lap. In order to remove this DRC error, as shown in drawing 11 (B), the 2nd beer formation field a2 is removed, and only the 1st beer formation field a1 is left behind.

[0048] Drawing 12 is drawing showing signs that a spacing error is removed.

[0049] Drawing 12 (A) is the same view as drawing 2 , and is drawing showing signs that a spacing error takes place. Two beer formation fields a1 and a2 which separated and existed at the minute interval shown in this drawing are transposed to one beer formation field a3 which includes these two beer formation fields a1 and a2, as shown in drawing 12 (B). As mentioned above, the error of a beer array and a beer formation field is removed.

[0050] Drawing 13 is drawing showing the example of replacement of two or more beer formation fields.

[0051] Three beer formation fields of this type are shown in the left-hand side of this drawing, two beer formation fields of a certain combination of these beer formation fields have lapped with it mutually, and two beer formation fields of other combination of these beer formation fields have the small spacing value Dz, and are approaching mutually. Each beer formation field of such combination is judged by step S4 of the flow chart shown in drawing 4 to be an error. Thus, like [in case a certain beer formation field serves as an error to combination with two or more beer formation fields of each], when three or more beer formation fields are mutually related with an error, it transposes to one rectangle-like beer formation field of the minimum size which includes those three or more beer formation fields to two or more of those three or more beer formation fields. In this drawing, it is transposed to one beer formation field of the shape of a rectangle shown in this drawing right-hand side which includes three beer formation fields in the minimum size as shown by the dotted line of the chart on the left of this drawing.

[0052] As mentioned above, the beer formation field in which a beer array is formed through Step S1 – Step S5 by the beer formation field determination method of this operation gestalt is determined that an error will not arise. In addition, Step S3 – Step S5 can be performed automatically.

[0053] As mentioned above, the beer formation field determination method of this operation gestalt By the last verification of layout design, the beer formation field of the above 1st and the beer formation field of the above 2nd Since it is the method of replacing with these beer formation fields and determining one new beer formation field according to the physical relationship of these beer formation fields when it is in the physical relationship used as the error of a DRC error, a spacing error, etc., Generating of the above-mentioned error is suppressed, the time and effort of correction of a beer formation field is saved, and TAT of layout design is shortened.

[0054] In addition, by the beer formation field determination method of this invention, although the case where the beer array is mainly formed in the 1st and 2nd beer formation field mentioned above is mentioned as the example with this operation form, even if few [of the 1st and 2nd beer formation field], only one beer is formed in one of beer formation fields, and you may be. Moreover, it may not be concerned with whether one beer is formed in the 1st and 2nd beer formation field, or the beer

array is formed, but the beer formation field determination method of this invention may be replaced with these beer formation fields, and the beer formation field in which only one beer was formed may be determined.

[0055]

[Effect of the Invention] As explained above, according to this invention, the beer formation field determination method of the wiring which shortens TAT of layout design is offered.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is drawing showing the beer formation field which produces a DRC error.
[Drawing 2] It is drawing showing the beer formation field which produces a spacing error.
[Drawing 3] It is the outline block diagram of a semiconductor integrated circuit.
[Drawing 4] It is the flow chart of the beer formation field determination by the beer formation field determination method of this operation gestalt.
[Drawing 5] It is drawing showing the meaning showing the relative physical relationship of two beer formation fields of a variable.
[Drawing 6] It is drawing showing the 1st physical relationship of two beer formation fields.
[Drawing 7] It is drawing showing the 2nd physical relationship of two beer formation fields.
[Drawing 8] It is drawing showing the 3rd physical relationship of two beer formation fields.
[Drawing 9] It is drawing showing the 4th physical relationship of two beer formation fields.
[Drawing 10] It is drawing showing an example of signs that a DRC error is removed.
[Drawing 11] It is drawing showing an example of signs that a DRC error is removed.
[Drawing 12] It is drawing showing signs that a spacing error is removed.
[Drawing 13] It is drawing showing the example of replacement of two or more beer formation fields.

[Description of Notations]

- 100 Semiconductor Integrated Circuit
- 101 IO Cell
- 102 Macro Cell
- 103 Core Section
- 104 Power Supply Wiring
- m1, m2_1, m2_2 Wiring

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-284536
(P2001-284536A)

(43) 公開日 平成13年10月12日 (2001.10.12)

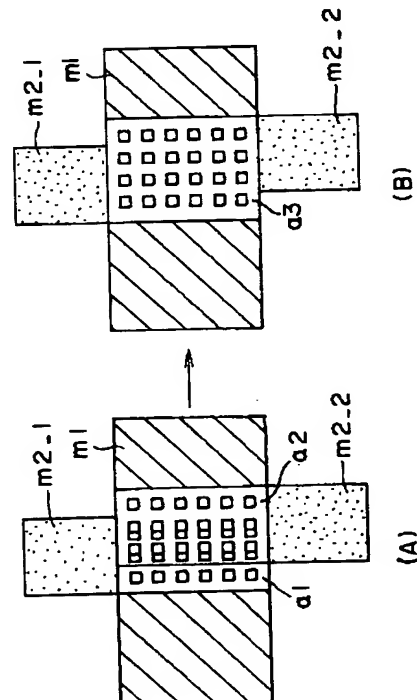
(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L	27/04	H 0 1 L 27/04	D 5 F 0 3 3
	21/822	21/82	W 5 F 0 3 8
	21/82	21/90	A 5 F 0 6 4
	21/768		
審査請求 未請求 請求項の数 1 O L (全 8 頁)			
(21) 出願番号	特願2000-97532 (P2000-97532)	(71) 出願人	000001258 川崎製鉄株式会社 兵庫県神戸市中央区北本町通 1 丁目 1 番 28 号
(22) 出願日	平成12年 3 月 31 日 (2000. 3. 31)	(72) 発明者	茂木 大樹 東京都千代田区内幸町 2 丁目 2 番 3 号 川崎製鉄株式会社内
		(74) 代理人	100079175 弁理士 小杉 佳男 (外 1 名)
		F ターム (参考)	5F033 NN34 UU04 VV04 VV05 XX00 5F038 CA17 CD01 CD02 5F064 EE22 EE26 EE27 EE52 HH06 HH10

(54) 【発明の名称】 ピア形成領域決定方法

(57) 【要約】

【課題】 レイアウト設計の T A T を短縮するピア形成領域決定方法を提供する。

【解決手段】 多層構造を有する半導体集積回路を構成する、第 1 の層の所定の第 1 の配線 m 1 および第 2 の層の所定の第 2 の配線 m 2 _ 1 を互いにつなぐ、第 1 のピア又はピアレイが形成される第 1 のピア形成領域と、第 1 の層の第 1 の配線、および第 2 の層の、第 2 の配線とは異なる所定の第 3 の配線 m 2 _ 2 を互いにつなぐ第 2 のピア又はピアレイが形成される第 2 のピア形成領域とを定め、第 1 のピア形成領域と第 2 のピア形成領域とが、所定の大きさ以下の間隔で離れるかあるいは互いに重なる場合に、第 1 のピア形成領域および第 2 のピア形成領域を包含する新たな第 3 のピア形成領域を生成し、第 1 のピア形成領域および第 2 のピア形成領域に代えて、生成した第 3 のピア形成領域を、ピア又はピアレイが内部に形成される新たな領域として決定する。



【特許請求の範囲】

【請求項 1】 多層構造を有する半導体集積回路を構成する、ある第 1 の層の配線と、該第 1 の層とは異なる第 2 の層の配線とをつなぐ、1 つのビア又は規則的に並ぶ複数のビアからなるビアアレイが内部に形成される、層の広がり方向の領域を決定するビア形成領域決定方法において、

前記第 1 の層の所定の第 1 の配線および前記第 2 の層の所定の第 2 の配線を互いにつなぐ第 1 のビア又はビアアレイが形成される第 1 のビア形成領域と、該第 1 の層の該第 1 の配線、および該第 2 の層の、該第 2 の配線とは異なる所定の第 3 の配線を互いにつなぐ第 2 のビア又はビアアレイが形成される第 2 のビア形成領域とを定め、該第 1 のビア形成領域と該第 2 のビア形成領域とが、所定の間隔以下の間隔で離れるかあるいは互いに重なる場合に、該第 1 のビア形成領域および該第 2 のビア形成領域を包含する新たな第 3 のビア形成領域を生成し、該第 1 のビア形成領域および該第 2 のビア形成領域に代えて、生成した第 3 のビア形成領域を、ビア又はビアアレイが内部に形成される新たな領域として決定することを特徴とするビア形成領域決定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層構造を有する半導体集積回路を構成する、互いに異なる層の配線どうしをつなぐ 1 つのビア又は複数の規則的に並ぶビアからなるビアアレイが内部に形成される配線領域を決定するビア形成領域決定方法に関する。

【0002】

【従来の技術】従来、半導体集積回路のレイアウト設計を自動的に行う自動レイアウト装置が知られており、セルの配置および配線が行われる。また、半導体集積回路が多層構造を有するものとなる場合には、この自動レイアウト装置によって、互いに異なる層の配線どうしをつなぐ、予め定められた大きさを持ち予め定められた間隔で規則正しく 2 次元的に並んだ複数のビアからなるビアアレイが内部に形成される配線内のビア形成領域が決定される。

【0003】しかし、セルおよび配線の微細化やレイアウトの複雑化に伴い、従来の自動レイアウト装置では、全ての配置・配線を完全に自動で行うことは困難になっており、多くの場合、自動的なレイアウトの後に人手による配線の追加、変更などが行われる。このように人手による配線の追加、変更などが行われると、このレイアウト設計の最終段階に自動で行われる検証（最終検証）において、図 1 に示す DRC（デザインルールチェック）エラーや図 2 に示すスペーシングエラーが生じやすくなる。

【0004】図 1 は、DRC エラーを生ずるビア形成領域を示す図である。

【0005】同図は、多層構造を持つ半導体集積回路のレイアウト図の一部を、層の広がる面に対して垂直の方向から見た図であり、ある第 1 の層の同図左右方向に延びる配線 m 1 と、同図上方からその配線 m 1 に重なるように延びる、その第 1 層とは異なる層である第 2 層の配線 m 2_1 と、同図下方から配線 m 1 に重なるように延びる、同じく第 2 層の配線 m 2_2 とが示されている。ここで、配線 m 2_1 は、配線 m 2_2 とほぼ同じ幅を有するものであつて配線 m 2_2 よりも同図のやや左側に位置しており、配線 m 2_1 と配線 m 2_2 とは、配線 m 1 上で左右にずれた形で互いに重なっている。

【0006】層の広がる面に対して垂直の方向から見て、配線 m 2_1 と配線 m 1 とが重なる領域で、互いに異なる層にある配線 m 1 と配線 m 2_1 とを電気的につなぐ第 1 のビアアレイが形成されており、以下では、このビアアレイが形成されている領域を第 1 のビア形成領域 a 1 と称する。また、配線 m 2_2 と配線 m 1 とが重なる領域で、互いに異なる層にある配線 m 1 と配線 m 2_2 とを電気的につなぐ第 2 のビアアレイが形成されており、以下では、このビアアレイが形成されている領域を第 2 のビア形成領域 a 2 と称する。

【0007】上述したように、配線 m 2_1 と配線 m 2_2 とは、配線 m 1 上で左右にずれた形で互いに重なっているため、配線 m 2_1 上の第 1 のビアアレイと配線 m 2_2 上の第 2 のビアアレイもずれた形で互いに重なるため、これらのビアアレイが互いに重なった部分で各ビアの大きさが大きくなり、ビアどうしの間隔が狭くなりやすい。このように各ビアの大きさやビアどうしの間隔が予め定められたものとは異なると、実際にビアアレイを形成するプロセスで、良好なビアの形成が困難であるため、レイアウト設計の最終検証で、このようなビアアレイは、DRC エラーとして戻される。

【0008】図 2 は、スペーシングエラーを生ずるビア形成領域を示す図である。

【0009】同図は、図 1 に示す 3 つの配線と同様な 3 つの配線 m 1、m 2_1、m 2_2 が示される。但し、図 2 に示す 3 つの配線のうち、第 2 層の配線 m 2_1 と第 2 層の配線 m 2_2 とは、図 1 のように配線 m 1 上で左右にずれた形で互いに重なるのではなく、小さな間隙を間に挟んで互いに離れたものとなっている。これに伴って、第 1 のビア形成領域 a 1 と第 2 のビア形成領域 a 2 とも互いに離れあつた状態にある。

【0010】通常、2 つの並列する配線どうしは、所定の距離以上の間隔をとることが要請されている。但し、ビアアレイが形成されれば結局配線 m 2_1 と配線 m 2_2 は電気的につながるので、配線 m 2_1 とつながる第 1 のビア形成領域 a 1 と、配線 m 2_2 とつながる第 2 のビア形成領域 a 2 とは、配線 m 1 上では、わずかし

50 かし、レイアウト設計の最終検証での自動的なチェッ

クで、これらのビア形成領域は、配線が近づきすぎると
いうスペーシングエラーとして誤って戻されるおそれがある。

【0011】

【発明が解決しようとする課題】このように、レイアウト設計の最終検証で、ビアレイにDRCエラーやスペーシングエラーが生ずると、これらのエラーの原因となるビアレイが形成される配線のビア形成領域の配置を、全て手作業で修正しなければならず、レイアウト設計に要する時間である、レイアウト設計のTAT (Turn Around Time) の増大につながる。

【0012】本発明は上記事情に鑑み、レイアウト設計のTATを短縮する配線のビア形成領域決定方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成する本発明のビア形成領域決定方法は、多層構造を有する半導体集積回路を構成する、ある第1の層の配線と、その第1の層とは異なる第2の層の配線とをつなぐ、1つのビア又は規則的に並ぶ複数のビアからなるビアレイが内部に形成される、層の広がり方向の領域を決定するビア形成領域決定方法であって、上記第1の層の所定の第1の配線および上記第2の層の所定の第2の配線を互いにつなぐ第1のビア又はビアレイが形成される第1のビア形成領域と、その第1の層のその第1の配線、およびその第2の層の、その第2の配線とは異なる所定の第3の配線を互いにつなぐ第2のビア又はビアレイが形成される第2のビア形成領域とを定め、その第1のビア形成領域とその第2のビア形成領域とが、所定の間隔以下の間隔で離れるかあるいは互いに重なる場合に、その第1のビア形成領域およびその第2のビア形成領域を包含する新たな第3のビア形成領域を生成し、その第1のビア形成領域およびその第2のビア形成領域に代えて、生成した第3のビア形成領域を、ビア又はビアレイが内部に形成される新たな領域として決定することを特徴とする。

【0014】このビア形成領域決定方法は、例えば、上記第1のビア形成領域と上記第2のビア形成領域とが、そのままではレイアウト設計の最終検証で、これらのビア形成領域が重なることによりこれらのビア形成領域に形成される各ビアの大きさやビアどうしの間隔が予め定められたものとは異なってしまうDRCエラーや、これらのビア形成領域が互いに微小間隔でしか離れないスペーシングエラー等のエラーとなる位置関係にある場合にも、これらのビア形成領域の位置関係に応じて、これらのビア形成領域に代えて、1つの新たなビア形成領域を決定する方法であるため、上記エラーの発生が抑えられて、ビア形成領域の修正作業の手間が省かれることにより、レイアウト設計に要する時間である、レイアウト設計のTATが短縮される。

【0015】

【発明の実施形態】以下、本発明の実施形態について説明する。

【0016】まず、本発明のビア形成領域決定方法について説明する前に、多層構造を持ち、各層がビアによって電氣的に接合される半導体集積回路について簡単に説明する。

【0017】図3は、半導体集積回路の概略構成図である。

【0018】同図に示される半導体集積回路100は、複数のIOセル101、複数のマクロセル102、コア部103、複数の電源配線(幹線)104からなる。

【0019】IOセル101は、半導体集積回路100の入出力を担当するセルであり、半導体集積回路100を取り囲むように複数形成されている。

【0020】マクロセル102は、まとまって1つの機能を持つセルである。

【0021】コア部103は、内部に、同図には図示しない複数のセルが集積したものであり、それらのセルには、配線が施されている。

【0022】電源配線104は、上記IOセル101、マクロセル102、およびコア部103内部のセルに電源を供給するための基幹配線である。この半導体集積回路100は、上述したように多層構造となっており、同図には、この電源配線104として、ある第1の層の配線m1とこの第1の層とは異なる第2の層の配線m2の2種類の配線が示されている。これらの配線m1と配線m2は、いずれも、電源の電位V_{DD}を持つものと、グラウンドを表す電位V_{SS}を持つものの2種類がある。以下では、同じ層でありかつ同じ電位を持つ2つの配線を、同じタイプの配線と称する。

【0023】ここで、ビアレイは、例えば、同図で、同じ電位を持つ配線m1と配線m2とが重なる領域A1等に形成される。また、ビアレイは、電源配線に対して形成されるだけでなく、コア内の配線等に対しても形成される。

【0024】図4は、本実施形態のビア形成領域決定方法によるビア形成領域決定のフローチャートである。

【0025】スタート時点では、各種のセルの配置、および上述した電源配線104やコア部103内部の配線の位置決めが、上述した自動レイアウト装置により行われている。なお、上記領域A1を通る配線m2のような、ビアレイが形成される領域をクロスする2つの配線のうちの1つの配線は、図1に例示するように、通常、その領域を挟む一方の側ともう一方の側とで独立に位置決めされる。以下では、この図1に示す例を参照して説明を行う。

【0026】ステップS1では、自動レイアウト装置により、配線m1と配線m2の重なる複数の領域のうちの所定の複数の領域にビアレイが形成される。例えば、

5

図 1 に示す例では、層の広がる面に対して垂直の方向から見て、配線 $m2_1$ と配線 $m1$ とが重なる領域は、第 1 のビアレイが形成される第 1 のビア形成領域 $a1$ となり、また、配線 $m2_2$ と配線 $m1$ とが重なる領域は、第 2 のビアレイが形成される第 2 のビア形成領域 $a2$ となっている。これらのビア形成領域は、配線 $m2_1$ や配線 $m2_2$ の位置に応じて自動的に決まるものである。次にステップ S2 へ進む。

【0027】ステップ S2 では、このステップ S1 で自動レイアウト装置によって設定された配線、ビアに対して人手により配線、ビアの追加／削除が行われる。このとき形成されるビア形成領域は、ステップ S1 の場合と同じである。次にステップ S3～ステップ S5 へ進む。

【0028】ステップ S3～ステップ S5 では、ステップ S1～ステップ S2 で設定された全てのそれぞれのビア形成領域のうちの、同タイプの、すなわち互いに同じ層にありかつ互いに同じ電位の 2 つのビア形成領域の全ての組合せに対して、以下に示すように位置関係の検証が行われる。

【0029】2 つのビア形成領域の相対的な位置関係は、図 5 に示すよう規定される。

【0030】図 5 は、2 つのビア形成領域の相対的な位置関係を表す変数の意味を示す図である。

【0031】同図では、横方向を x 軸方向とし、縦方向を y 軸方向とする。同図には 2 つの長方形が示されており、いずれの長方形も、 x 軸方向に延びる辺および y 軸方向に延びる辺を持ち、ビア形成領域を表す。これらの長方形で表される 2 つのビア形成領域のうちの 1 つは、横方向の長さ $L1x$ 、縦方向の長さ $L1y$ で規定され、もう一つのビア形成領域は、横方向の長さ $L2x$ 、縦方向の長さ $L2y$ で規定される。また、これらのビア形成領域の中心は、いずれも、ビア形成領域を表す長方形の対角線の交点によって定義され、これらのビア形成領域の相対的な位置は、これらの中心どうしの、横方向の距離 Dx および縦方向の距離 Dy によって規定される。

【0032】ステップ S3～ステップ S5 のうちのステップ S3 では、ステップ S1～ステップ S2 で設定された全てのビア形成領域のうちの、同タイプの 2 つのビア形成領域の組合せ全てに対して、上記長さ $L1x$ 、 $L2x$ 、 $L1y$ 、 $L2y$ および上記距離 Dx 、 Dy を取得する。次にステップ S4 へ進む。

【0033】ステップ S4 では、まず、ステップ S3 で取得された同タイプの 2 つのビア形成領域の全ての組合せのうちの各組合せにおける 2 つのビア形成領域が隔てられた距離（スペーシング値 Dz ）を計算する。このスペーシング値 Dz は、以下のような場合分けを用いて、長さ $L1x$ 、 $L2x$ 、 $L1y$ 、 $L2y$ および距離 Dx 、 Dy によって計算される。

【0034】2 つのビア形成領域の相対的な位置関係は、図 6～図 9 に示す 4 種類の位置関係に分類される。

6

【0035】図 6 は、2 つのビア形成領域の第 1 の位置関係を示す図であり、図 7 は、2 つのビア形成領域の第 2 の位置関係を示す図であり、図 8 は、2 つのビア形成領域の第 3 の位置関係を示す図であり、図 9 は、2 つのビア形成領域の第 4 の位置関係を示す図である。

【0036】図 6～図 9 においても、図 5 と同様に、いずれも横方向を x 軸方向とし、縦方向を y 軸方向とする。図 6～図 9 の各図にも、図 5 と同様に、いずれも x 軸方向に延びる辺および y 軸方向に延びる辺を持つ、ビア形成領域を表す 2 つの長方形が示されている。

【0037】図 6 には、 $Dx > (L1x + L2x) / 2$ かつ $Dy > (L1y + L2y) / 2$ の関係を満たす場合の 2 つのビア形成領域が示されている。この関係を満たす 2 つのビア形成領域は、同図で斜め方向に離れ合っており、これらの 2 つのビア形成領域の向かい合う頂点どうしの距離がこれらの 2 つのビア形成領域のスペーシング値 Dz を表す。この場合の、スペーシング値 Dz は、
$$Dz = \sqrt{\{(Dx - (L1x + L2x) / 2)^2 + (Dy - (L1y + L2y) / 2)^2\}}$$
 となる。

【0038】図 7 には、 $Dx > (L1x + L2x) / 2$ かつ $Dy \leq (L1y + L2y) / 2$ の関係を満たす場合の 2 つのビア形成領域が示されている。この関係を満たす 2 つのビア形成領域は、同図で左右方向に離れ合っており、これらの 2 つのビア形成領域の向かい合う y 軸方向に延びる境界どうしの x 軸方向の距離がこれらの 2 つのビア形成領域のスペーシング値 Dz を表す。この場合のスペーシング値 Dz は、

$$Dz = Dx - (L1x + L2x) / 2$$

となる。

【0039】図 8 には、 $Dx \leq (L1x + L2x) / 2$ かつ $Dy > (L1y + L2y) / 2$ の関係を満たす場合の 2 つのビア形成領域が示されている。この関係を満たす 2 つのビア形成領域は、同図で上下方向に離れ合っており、これらの 2 つのビア形成領域の向かい合う x 軸方向に延びる境界どうしの y 軸方向の距離がこれらの 2 つのビア形成領域のスペーシング値 Dz を表す。この場合のスペーシング値 Dz は、

$$Dz = Dy - (L1y + L2y) / 2$$

となる。

【0040】図 9 には、 $Dx < (L1x + L2x) / 2$ かつ $Dy < (L1y + L2y) / 2$ の関係を満たす場合の 2 つのビア形成領域が示されている。この関係を満たす 2 つのビア形成領域は、同図で互いに重なり合っており、この場合のこれらの 2 つのビア形成領域のスペーシング値 Dz は 0 となる。以上のようにして、スペーシング値 Dz は計算される。

【0041】次に、このように計算したスペーシング値 Dz に基づいて、そのスペーシング値 Dz を持つ 2 つのビア形成領域の組合せがエラーであるかどうかを判定す

る。スペーシング値 D_z が、

$D_z < D_{cr}$ (D_{cr} : 最小スペーシング値)

を満たすならば、その組合せをエラーとする。このようにスペーシング値 D_z が小さい場合には、2つのビア領域が互いに重なり、あるいは互いにわずかしき離れないので、上述した、DRCエラーやスペーシングエラーが生ずるためである。このような判定を、回路上の全ビア形成領域の全ての組合せに対して行う。次にステップ S 5へ進む。

【0042】ステップ S 5では、ステップ S 4でエラーとされたビア形成領域の組合せ全てに対して、それらのそれぞれの組合せの2つのビア形成領域を、例えば、その2つのビア形成領域を包含する最小の大きさの、長方形形状の1つのビア形成領域それぞれを生成する。そして、上記2つのビア形成領域に代えて、生成した1つのビア形成領域を、1つのビア又はビアアレイが内部に形成される新たなビア形成領域として決定する。

【0043】ステップ S 4でエラーとされた2つのビア形成領域を、このように決定された新たなビア形成領域に置き換えることによって、図10～図12に示すように、エラーが取り除かれる。

【0044】図10は、DRCエラーが取り除かれる様子の一例を示す図である。

【0045】図10(A)は、図1と同じ図であり、DRCエラーの起こる様子を示す図である。同図に示される互いに重なった2つのビア形成領域 a 1、a 2は、図10(B)に示されるように、これらの2つのビア形成領域を包含する1つのビア形成領域 a 3に置き換えられている。

【0046】図11は、DRCエラーが取り除かれる様子の一例を示す図である。

【0047】図11(A)は、図1と比べると、配線 m 1に対して上から延びて重なる配線 m 2__1の幅が、配線 m 1に対して下から延びて重なる配線 m 2__2の幅より大きい。この場合、配線 m 2__1の、配線 m 2__1と配線 m 1とを電気的につなぐ第1のビアアレイが形成される第1のビア形成領域 a 1は、配線 m 2__2の、配線 m 2__2と配線 m 1とを電気的につなぐ第2のビアアレイが形成される第2のビア形成領域 a 2を完全に包含しており、第1のビアアレイと第2のビアアレイとが重なる部分でDRCエラーが生じている。このDRCエラーを取り除くために、図11(B)に示すように、第2のビア形成領域 a 2を取り去って、第1のビア形成領域 a 1だけが残される。

【0048】図12は、スペーシングエラーが取り除かれる様子を表す図である。

【0049】図12(A)は、図2と同じ図であり、スペーシングエラーの起こる様子を示す図である。同図に示される微小間隔で離れあった2つのビア形成領域 a 1、a 2は、図12(B)に示されるように、これらの

2つのビア形成領域 a 1、a 2を包含する1つのビア形成領域 a 3に置き換えられている。以上のように、ビアアレイおよびビア形成領域のエラーが取り除かれる。

【0050】図13は、複数のビア形成領域の置き換えの例を示す図である。

【0051】同図の左側には、同タイプの3つのビア形成領域が示されており、これらのビア形成領域のうちの組合せの2つのビア形成領域は互いに重なっており、これらのビア形成領域の他の組合せの2つのビア形成領域は、スペーシング値 D_z が小さく、互いに接近している。これらの組合せのビア形成領域は、いずれも図4に示すフローチャートのステップ S 4でエラーと判定される。このように、あるビア形成領域が複数のビア形成領域それぞれとの組合せに対してエラーとなる場合のように、3つ以上のビア形成領域がエラーによって互いに関係する場合には、それらの3つ以上の複数のビア形成領域に対して、それらの3つ以上のビア形成領域を包含する最小の大きさの、長方形形状の1つのビア形成領域に置き換える。同図では、3つのビア形成領域を、同図の左側の図の点線で示されるように最小の大きさで包含する、同図右側に示される長方形形状の1つのビア形成領域に置き換えられている。

【0052】以上、本実施形態のビア形成領域決定方法によって、ステップ S 1～ステップ S 5を通じて、ビアアレイが形成されるビア形成領域が、エラーの生じないように決定される。なお、ステップ S 3～ステップ S 5は、自動的に行うことができる。

【0053】以上のように、本実施形態のビア形成領域決定方法は、レイアウト設計の最終検証で、上記第1のビア形成領域と上記第2のビア形成領域とが、DRCエラーやスペーシングエラー等のエラーとなる位置関係にある場合にも、これらのビア形成領域の位置関係に応じて、これらのビア形成領域に代えて、1つの新たなビア形成領域を決定する方法であるため、上記エラーの発生が抑えられて、ビア形成領域の修正作業の手間が省かれ、レイアウト設計のTATが短縮される。

【0054】なお、本実施形態では、主に、上述した第1、第2のビア形成領域にビアアレイが形成されている場合を例にあげているけれども、本発明のビア形成領域決定方法では、第1、第2のビア形成領域のうちの少なくともいずれかのビア形成領域に1つのビアのみが形成されいてもよい。また、第1、第2のビア形成領域に1つのビアが形成されているかビアアレイが形成されているかに関わらず、本発明のビア形成領域決定方法は、これらのビア形成領域に代えて、1つのビアのみが形成されたビア形成領域を決定するものであってもよい。

【0055】

【発明の効果】以上説明したように、本発明によれば、レイアウト設計のTATを短縮する配線のビア形成領域決定方法が提供される。

【図面の簡単な説明】

【図1】DRCエラーを生ずるビア形成領域を示す図である。

【図2】スペーシングエラーを生ずるビア形成領域を示す図である。

【図3】半導体集積回路の概略構成図である。

【図4】本実施形態のビア形成領域決定方法によるビア形成領域決定のフローチャートである。

【図5】2つのビア形成領域の相対的な位置関係を表す変数の意味を示す図である。

【図6】2つのビア形成領域の第1の位置関係を示す図である。

【図7】2つのビア形成領域の第2の位置関係を示す図である。

【図8】2つのビア形成領域の第3の位置関係を示す図である。

【図9】2つのビア形成領域の第4の位置関係を示す図

である。

【図10】DRCエラーが取り除かれる様子の一例を示す図である。

【図11】DRCエラーが取り除かれる様子の一例を示す図である。

【図12】スペーシングエラーが取り除かれる様子を表す図である。

【図13】複数のビア形成領域の置き換えの例を示す図である。

10 【符号の説明】

100 半導体集積回路

101 I/Oセル

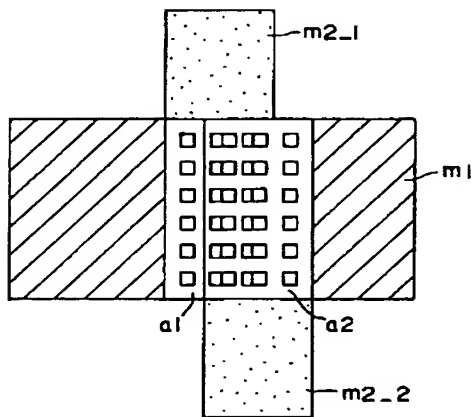
102 マクロセル

103 コア部

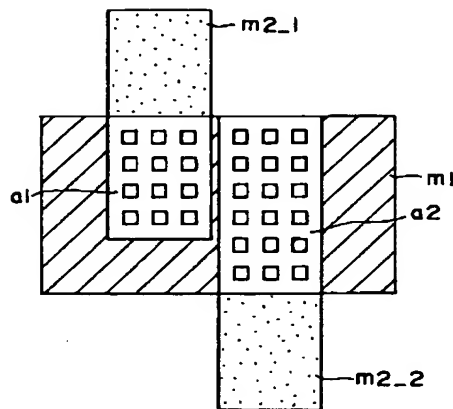
104 電源配線

m1, m2__1, m2__2 配線

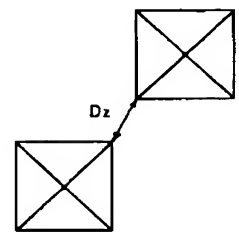
【図1】



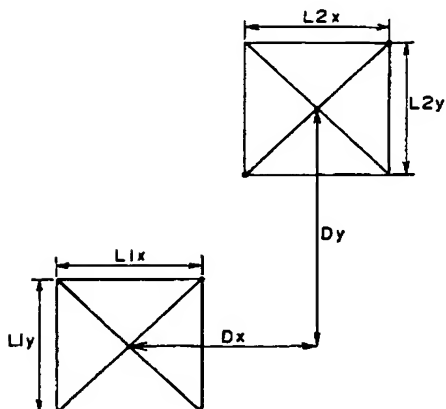
【図2】



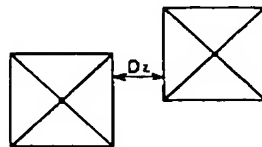
【図6】



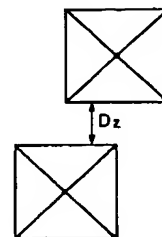
【図5】



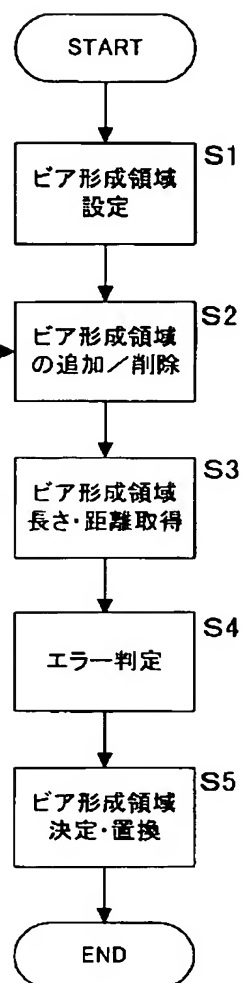
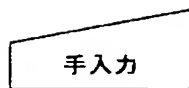
【図7】



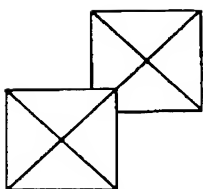
【図8】



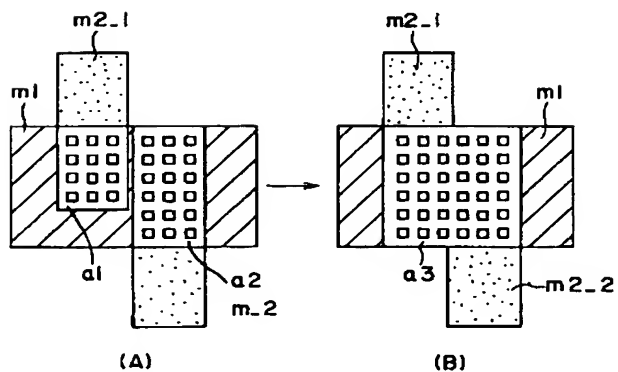
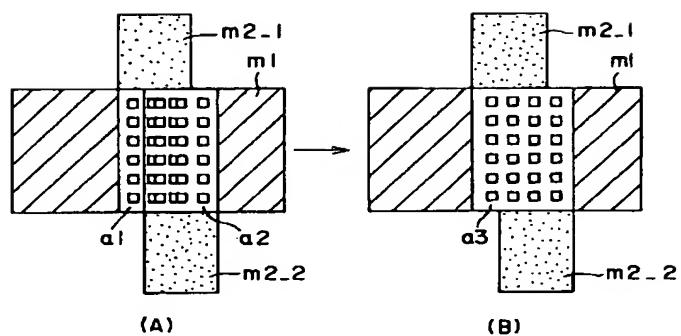
【图 4】



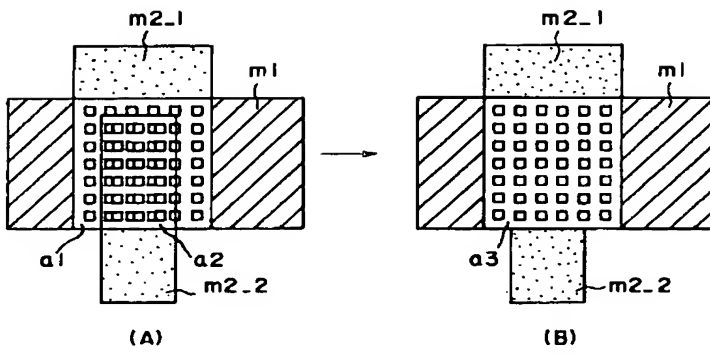
【图9】



【图 12】



【図 11】



【図 13】

